

1/5/1

DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

04709913 **Image available**
DIGITAL SIGNAL TRANSMITTER

PUB. NO.: 07-030513 [JP 7030513 A]
PUBLISHED: January 31, 1995 (19950131)
INVENTOR(s): HIYAKUDAI TOSHIHISA
APPLICANT(s): SONY CORP. [000218] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 05-194151 [JP 93194151]
FILED: July 09, 1993 (19930709)
INTL CLASS: [6] H04J-011/00; H04L-027/20; H04L-027/22
JAPIO CLASS: 44.2 (COMMUNICATION -- Transmission Systems); 44.3
(COMMUNICATION -- Telegraphy)

ABSTRACT

PURPOSE: To simplify the circuit configuration on a demodulator side remarkably by inserting sequentially a data group comprising the predetermined number of non-signal data to each data series of a time domain in a predetermined timing.

CONSTITUTION: A real part time series data group D7 and an imaginary part time series data group D8 outputted from an IDFT arithmetic operation circuit of a modulation section 41 are fed sequentially to a buffer memory circuit 42 (insert means). The circuit 42 stores sequentially the real time domain data forming the data group D7 fed from the circuit 7 and the imaginary time domain data from the data group 8 and adds L sets of non-signal data D40 to the stored data every time N-sets of the data are stored and provides the result in the lump repetitively. Then an additional real time domain data group D41 and an additional imaginary time domain data group D42 in which a valid signal period and a non-signal period are alternately arranged are formed and fed sequentially to a D/A converter circuit 8. Since arithmetic operation is performed in an accurate timing to each of the data series of the time domain, the circuit configuration of the demodulator side is simplified.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-30513

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 11/00	A			
H 0 4 L 27/20	Z	9297-5K		
27/22				
		9297-5K	H 0 4 L 27/ 22	Z

審査請求 未請求 請求項の数 2 F D (全 10 頁)

(21) 出願番号 特願平5-194151

(22) 出願日 平成5年(1993)7月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 百代 俊久

東京都品川区北品川6丁目7番35号ソニー

株式会社内

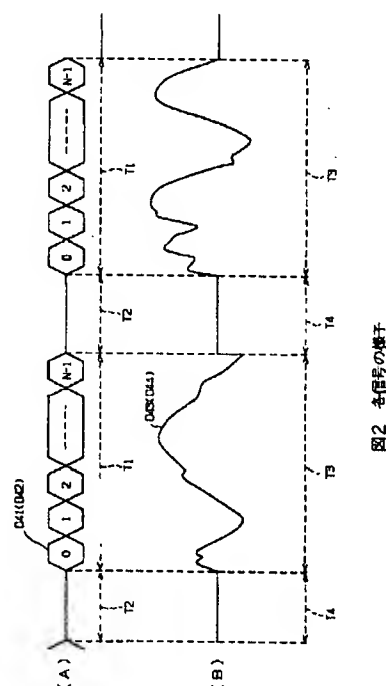
(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 デジタル信号伝送装置

(57) 【要約】

【目的】 本発明は、直交周波数分割多重変調方式を用いたデジタル信号伝送装置において、復調側の回路構成を格段的に簡易化しようとするものである。

【構成】 変調側において伝送信号に所定のタイミングで所定数無信号データでなるデータ群を順次挿入することによって当該伝送信号に所定周期で無信号区間を形成すると共に、復調側において当該伝送信号を2乗検波することによって得られる当該伝送信号の包絡線波形に基づいてタイミング信号を形成し、当該タイミング信号に基づいたタイミングで伝送信号を形成する複数の時間領域の各データ系列に対して所定の演算式に基づく演算を順次施すようにしたことにより、当該時間領域の各データ系列に対して正確なタイミングで当該演算を施すことができ、かくして簡易な回路構成で正確に伝送信号を復調する復調側を形成することができる。従つて復調側の回路構成を格段的に簡易化し得るデジタル信号伝送装置を実現できる。



【特許請求の範囲】

【請求項1】互いに直交する複数の副搬送波にそれぞれ重畳されて供給される周波数領域の各入力データ系列に対して所定の演算式に基づく演算を順次施すことにより上記周波数領域の各データ系列を一括して時間領域のデータ系列にそれぞれデジタル変調すると共に、このとき得られた複数の上記時間領域のデータ系列に基づいて

伝送信号を形成する直交周波数分割多重変調方式のデジタル信号伝送装置において、

上記時間領域の各データ系列に所定のタイミングで所定数の無信号データでなるデータ群を順次挿入する無信号データ挿入手段を具えることを特徴とするデジタル信号伝送装置。

【請求項2】変調側から供給される、所定のタイミングで所定数の無信号データでなるデータ群が順次挿入された複数の時間領域のデータ系列でなる伝送信号に基づいて、上記複数の時間領域の各データ系列に対して所定の演算式に基づく演算を順次施すことにより上記時間領域の各データ系列を一括して周波数領域のデータ系列にそれぞれ復調する直交周波数分割多重変調方式のデジタル信号伝送装置において、

上記変調側から供給される上記伝送信号を2乗検波することによって得られる上記伝送信号の包絡線波形を包絡線波形信号として出力する無信号区間検出手段と、上記無信号検出手段から供給される上記包絡線波形信号に基づいて上記包絡線波形信号と同期したタイミング信号を生成して出力するタイミング信号発生手段とを具え、上記タイミング信号に基づいたタイミングで上記演算を上記時間領域の各データ系列に施すことを特徴とするデジタル信号伝送装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術（図5）

発明が解決しようとする課題（図5）

課題を解決するための手段（図1～図4）

作用（図1～図4）

実施例（図1～図4）

発明の効果

$$f = \frac{1}{T}$$

但し、T〔sec〕は直交周波数分割多重変調方法のシンボルレート

*【0002】

【産業上の利用分野】本発明はデジタル信号伝送装置に関し、例えば直交周波数分割多重方式を用いたデジタル信号伝送装置に適用して好適なものである。

【0003】

【従来の技術】近年デジタル放送の分野には、入力情報系列にDFT（Discrete Fourier Transform）演算を施すことによつてお互いに直交する数十～数百本の搬送波を一括してデジタル変調（例えばBPSK（Binary Phase Shift Keying）、QPSK（Quadrature Phase Shift Keying）及び16-QAM（Quadrature amplitude modulation）等）する、いわゆる直交周波数分割多重変調方式が提案されており、これにより伝送誤りを起こすマルチパス、フェーディングの影響を低減させて高品位な情報を伝送し得るようになされている。この種の直交周波数分割多重変調方式を用いたデジタル信号伝送装置では、送信側の変調部及び受信側の復調部がそれぞれ例えば図5に示すように形成されている。

【0004】すなわちデジタル信号伝送装置1では、変調部2のデータ入力端子3に順次供給される所定ビット単位でなる周波数系列の入力データD1をシリアルパラレル変換回路4において互いに直交する実数部（I軸）データD2及び虚数部（Q軸）データD3に順次分配した後これらをそれぞれM個ごとにマルチプレクサ回路5に順次送出する。

【0005】このときマルチプレクサ回路5には信号入力端子6を介してダミーデータ（無入力）D4が順次供給されている。かくして当該マルチプレクサ回路5は、供給される当該M個の実数部データD3とK個のダミーデータD4とからN（=M+K）個のデータでなるデータ群（以下これを実数部データ群D5と呼ぶ）を形成してこれをIDFT演算回路7に順次送出すると共に、供給されるM個の虚数部データD2とK個のダミーデータD4とからN（=M+K）個のデータでなるデータ群（以下これを虚数部データ群D6と呼ぶ）を形成してこれをIDFT演算回路7に順次送出する。

【0006】IDFT演算回路7においては、実数部データ群D5及び虚数部データ群D6をそれぞれ次式

【数1】

* 40

……（1）

で与えられるf〔Hz〕おきの周波数系列として当該実数部データ群D5及び虚数部データ群D6に対してそれぞれ

れNポイントの離散的フーリエ逆変換（IDFT：Inverse Discrete Fourier Transform）演算を施すことにより当

3

該実数部データ群D 5及び虚数部データ群D 6をそれぞれ時間系列でなる実数部時間系列データ群D 7及び虚数部時間系列データ群D 8に変換し、これらをデジタルアナログ変換回路8に送出する。

【0007】デジタルアナログ変換回路8は、実数部時間系列データ群D 7及び虚数部時間系列データ群D 8をそれぞれアナログ変換した後これらをそれぞれアナログ実数部時間系列信号S 9及びアナログ虚数部時間系列信号S 10として第1の掛算回路9及び第2の掛け算回路10にそれぞれ送出する。このとき第1の掛算回路9には搬送波発振回路11から所定周波数の搬送波が搬送波信号S 11として順次供給されると共に、第2の掛算回路10には搬送波発振回路11から出力された当該搬送波が $\pi/2$ 移相回路12において $\pi/2$ だけ位相が移相された後 $\pi/2$ 移相搬送波信号S 12として順次供給されている。

【0008】かくして第1の掛算回路9はアナログ実数部時間系列信号S 9と搬送波信号S 11とを乗算し、得られた演算結果をIデータ信号S 13として加算回路13に送出すると共に、第2の掛算回路10はアナログ虚数部時間系列信号S 10と $\pi/2$ 移相搬送波信号S 12とを乗算し、得られた演算結果をQデータ信号S 14として加算回路13に送出する。

【0009】加算回路13はIデータ信号S 13とQデータ信号S 14とを加算し、かくして得られた演算結果を変調信号S 15として伝送路を14介して復調部20に送出する。復調部20においては、当該変調信号S 15を信号入力端子(図示せず)において受け、当該変調信号S 15をI軸成分及びQ軸成分の2系統に分け、これらをそれぞれI軸受信信号S 20及びQ軸受信信号S 21として第1の掛算回路21及び第2の掛算回路22にそれぞれ入力する。

【0010】この場合当該第1の掛算回路21には復調用搬送波発振回路23から変調部2の搬送波S 11と等しい周波数の復調用の搬送波(以下これを復調用搬送波と呼ぶ)が復調用搬送波信号S 22として順次供給されると共に、第2の掛算回路22には当該復調用搬送波発振回路23から出力された当該復調用搬送波信号S 22が $\pi/2$ 移相回路24において $\pi/2$ 移相された後 $\pi/2$ 移相復調用搬送波信号S 23として順次供給されている。かくして第1の掛算回路21はI軸受信信号S 20と復調用搬送波信号S 22とを乗算し、得られた演算結果をI軸ベースバンド信号S 24としてアナログデジタル変換回路25に送出すると共に、第2の掛算回路22はQ軸受信信号S 21と $\pi/2$ 移相復調用搬送波信号S 23とを乗算し、得られた演算結果をQ軸ベースバンド信号S 25としてアナログデジタル変換回路25に送出する。

【0011】アナログデジタル変換回路25においては、I軸ベースバンド信号S 24をアナログデジタル

4

変換することによりT〔SEC〕ごとのN個の時間領域データでなるI軸時間領域データ群D 26を得、これをDFT演算回路26に順次送出すると共に、Q軸ベースバンド信号S 25をアナログデジタル変換することによりT〔SEC〕ごとのN個の時間領域データでなるQ軸時間領域データ群D 27を得、これをDFT演算回路26に順次送出する。

【0012】DFT演算回路26は、I軸時間領域データ群D 26を形成するN個の各時間領域データに対して順次離散的フーリエ変換(DFT: Discrete Fourier Transform)演算を施すことによりN個の周波数領域データでなるI軸周波数領域データ群D 28を得、これをマルチプレクサ回路27に順次出力する。同様に当該DFT演算回路26は、Q軸時間領域データ群D 26を形成するN個の各時間領域データに対して順次離散的フーリエ変換演算を施すことによりN個の周波数領域データでなるQ軸周波数領域データ群D 28を得、これをマルチプレクサ回路27に順次出力する。

【0013】マルチプレクサ回路27は、それぞれI軸周波数領域データ群D 28を形成するN個の周波数領域データをM個の有効データ(実数部データ)とK個のダミーデータとに分別し、M個の有効データでなるI軸有効データ群D 30をパラレルシリアル変換回路29に順次送出する。またこのとき当該マルチプレクサ回路27はダミーデータをダミーデータ出力端子28に送出し、これにより当該ダミーデータを当該復調部20外に順次排出する。同様に当該マルチプレクサ回路27は、それぞれQ軸周波数領域データ群D 28を形成するN個の周波数領域データをM個の有効データ(虚数部データ)とK個のダミーデータとに分別し、M個の有効データでなる虚数部データ群D 31をパラレルシリアル変換回路29に順次送出する。またこのとき当該マルチプレクサ回路27はダミーデータをダミーデータ出力端子28に送出し、これにより当該ダミーデータをこの復調部20外に排出する。

【0014】かくしてパラレルシリアル変換回路29は、実数部データ群D 30及び虚数部データ群D 31に基づいて最終的なシリアルな復調データD 32を形成し、これを出力端子30から続く回路ブロック(図示せず)に送出する。

【0015】

【発明が解決しようとする課題】ところで上述のように直交周波数分割多重変調方式では、変調過程で入力データD 1に対して離散的フーリエ逆変換演算を施しているために、復調過程で変調信号S 14から変調部2と同期させるための復調用搬送波の周波数のほかにNポイントの離散的フーリエ変換演算を施すための信号区間(以下これをDFT区間と呼ぶ)を探す必要がある。ところが、現在では当該DFT区間を簡単に探し出す方法が提案されておらず、従つて当該DFT区間を簡単に探し出す得るよ

5

うにできればこのようなデジタル信号伝送装置1の復調側の回路構成をより簡易化し得るものと考えられる。

【0016】本発明は以上の点を考慮してなされたもので、直交周波数分割多重変調方式を用いたデジタル信号伝送装置において、復調側の回路構成を格段的に簡易化し得るデジタル信号伝送装置を提案しようとするものである。

【0017】

【課題を解決するための手段】かかる課題を解決するため本発明においては、互いに直交する複数の副搬送波にそれぞれ重畳されて供給される周波数領域の各入力データ系列D5、D6に対して所定の演算式に基づく演算を順次施すことにより周波数領域の各データ系列D2、D3を一括して時間領域のデータ系列D7、D8にそれぞれデジタル変調すると共に、このとき得られた複数の時間領域のデータ系列D7、D8に基づいて伝送信号S47を形成する直交周波数分割多重変調方式のデジタル信号伝送装置において、時間領域の各データ系列D7、D8に所定のタイミングで所定数の無信号データD40でなるデータ群を順次挿入する無信号データ挿入手段42を設けた。

【0018】また本発明においては、変調側41から供給される、所定のタイミングで所定数の無信号データD40でなるデータ群が順次挿入された複数の時間領域のデータ系列D56、D57でなる伝送信号S47に基づいて、複数の時間領域の各データ系列D56、D57に対して所定の演算式に基づく演算を順次施すことにより時間領域の各データ系列D56、D57を一括して周波数領域のデータ系列D60、D61にそれぞれ復調する直交周波数分割多重変調方式のデジタル信号伝送装置において、変調側41から供給される伝送信号S47を2乗検波することによつて得られる伝送信号S47の包絡線波形を包絡線波形信号S82として出力する無信号区間検出手段70と、無信号検出手段70から供給される包絡線波形信号S82に基づいて包絡線波形信号S82と同期したタイミング信号S83を生成して出力するタイミング信号発生手段71とを設け、タイミング信号S83に基づいたタイミングで演算を時間領域の各データ系列D56、D57に施すようにした。

【0019】

【作用】第1の発明では、時間領域の各データ系列D7、D8に所定のタイミングで所定数の無信号データD40でなるデータ群を順次挿入するようにしたことにより、伝送信号S47に所定のタイミングで無信号区間を順次形成することができる。

【0020】また第2の発明では、変調側41から供給される伝送信号S47を2乗検波することによつて得られる当該伝送信号S47の包絡線波形に基づいてタイミング信号S83を形成し、当該タイミング信号S83に基づいたタイミングで伝送信号S47を形成する複数の

6

時間領域の各データ系列D56、D57に対して所定の演算式に基づく演算を順次施すようにしたことにより、当該時間領域の各データ系列D56、D57に対して正確なタイミングで当該演算を施すことができる。

【0021】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0022】図5との対応部分に同一符号を付して示す図1において、デジタル信号伝送装置40では変調側41のIDFT演算回路から出力された実数部時間系列データD7及び虚数部時間系列データD8が順次FIFO（First-In First-Out）型のバッファメモリ回路42に送出される。このとき当該バッファメモリ回路42には無信号データ入力端子43を介して無信号データD40が順次供給されている。

【0023】かくしてバッファメモリ回路42は、IDFT演算回路7から供給される実数部時間系列データ群D7を形成する実時間領域データを順次蓄えて行くと共に、当該実時間領域データをN個蓄えるごとにL個の無信号データD40を付加してこれらを一括して出力することを繰り返すことにより、図3（A）に示すようなN個の実時間領域データでなる有効信号区間T1及びL個の無信号データD40でなる無信号区間T2が交互に並んだ付加実時間領域データ群D41を形成し、これをデジタルアナログ変換回路8に順次送出する。同様にして当該バッファメモリ回路は、IDFT演算回路7から供給される虚数部時間系列データ群D8を形成する虚時間領域データを順次蓄えて行くと共に、当該虚時間領域データをN個蓄えるごとにL個の無信号データD40を付加してこれらを一括して出力することを繰り返すことにより、付加実時間領域データ群D41と同様に有効信号区間T1及び無信号区間T2が順次交互に並んだ付加虚時間領域データ群D42を形成し、これをデジタルアナログ変換回路8に順次送出する。

【0024】デジタルアナログ変換回路8においては、付加実時間領域データ群D41及び付加虚時間領域データ群D42をそれぞれデジタルアナログ変換することにより、図3（B）に示すような有効信号区間T3及び無信号区間T4が交互に並んだ付加実時間領域データアナログ信号S43及び付加虚時間領域データアナログ信号S44を形成し、これらをそれぞれ第1及び第2の掛算回路9及び10に送出する。第1の掛算回路9は付加実時間領域データアナログ信号S43と搬送波発振回路11から供給される搬送波信号S11とを乗算し、得られた演算結果をIデータ信号S45として加算回路13に送出すると共に、第2の掛算回路10は付加虚時間領域データアナログ信号S44と $\pi/2$ 移相搬送波信号S12とを乗算し、得られた演算結果をQデータ信号S46として加算回路13に送出する。

【0025】加算回路13はIデータ信号S45とQデ

ータ信号S46とを加算し、かくして得られた演算結果を変調信号S47として信号出力端子44及び伝送路14を介して復調部50に送出する。復調部50においては、図5との対応部分に同一符号を付した図3に示すように、信号入力端子51に供給される変調信号S47を可変利得増幅回路52を介してI軸成分及びQ軸成分に分配し、これらをそれぞれI軸受信信号S50及びQ軸受信信号S51として第1の掛算回路21及び第2の掛算回路22にそれぞれ入力する。

【0026】このとき第1の掛算回路21にはコスタスループ部53の電圧制御発振回路54から変調部41の搬送波信号S11と等しい周波数の復調搬送波が復調搬送波信号S52として順次供給されると共に、第2の掛算回路22には電圧制御発振回路54から出力された当該復調搬送波信号S52が $\pi/2$ 移相回路24において $\pi/2$ 移相された後 $\pi/2$ 移相復調搬送波信号S53として順次供給されている。かくして第1の掛算回路21はI軸受信信号S50と復調搬送波信号S52とを乗算し、得られた演算結果をI軸ベースバンド信号S54としてアナログデジタル変換回路25に送出すると共に、第2の掛算回路22はQ軸受信信号S51と $\pi/2$ 移相復調搬送波信号S53とを乗算し、得られた演算結果をQ軸ベースバンド信号S55としてアナログデジタル変換回路25に送出する。

【0027】アナログデジタル変換回路25においては、I軸ベースバンド信号S54をアナログデジタル変換することによつてN個の時間領域データ及びL個の無信号データでなるI軸時間領域データ群D56を得、これをFIFO型のバッファメモリ回路55に送出する。同様にアナログデジタル変換回路25は、Q軸ベースバンド信号S54をアナログデジタル変換することによつてN個の時間領域データ及びL個の無信号データでなるQ軸時間領域データ群D57を得、これをバッファメモリ回路55に送出する。

【0028】バッファメモリ回路55は、I軸時間領域データ群D56の各データを順次蓄えると共に、L個の無信号データを除いたN個の時間領域データだけでなるI軸有効区間データ群D58を1フレームごとに順次DFT演算回路26に送出する。同様にバッファメモリ回路55は、Q軸時間領域データ群D57の各データを順次蓄えると共に、L個の無信号データを除いたN個の時間領域データだけでなるQ軸有効区間データ群D59を1フレームごとに順次DFT演算回路26に送出する。

【0029】DFT演算回路26は、1フレームのI軸有効区間データ群D58ごとにNポイントの離散フーリエ変換演算を施すことにより当該I軸有効区間データ群D58を形成する各時間領域データを順次周波数系列のデータに順次復調し、かくして得られたN個ごとの周波数系列のデータでなるデータ群（以下これを実数部データ群D60と呼ぶ）をマルチプレクサ回路27に順次送出

する。同様にDFT演算回路26は、1フレームのQ軸有効区間データ群D59ごとにNポイントの離散フーリエ変換演算を施すことにより当該Q軸有効区間データ群D59を形成する各時間領域データを順次周波数系列のデータに順次復調し、かくして得られたN個ごとの周波数系列のデータでなるデータ群（以下これを虚数部データ群D61と呼ぶ）をマルチプレクサ回路27に順次送出する。

【0030】マルチプレクサ回路27は、実数部データ群D60の各フレームごとにN個の周波数データの中からM個の有効データ（すなわち実数部データ）D62を順次抽出してこれをパラレルシリアル変換回路29に送出すると共に、残りのK個のダミーデータをダミーデータ出力端子28を介して当該復調部50外に順次排出する。同様にマルチプレクサ回路27は、虚数部データ群D61の各フレームごとにN個の周波数データの中からM個の有効データ（すなわち虚数部データ）D63を順次抽出してこれをパラレルシリアル変換回路29に送出すると共に、残りのK個のダミーデータをダミーデータ出力端子28を介して当該復調部50外に順次排出する。

【0031】かくしてパラレルシリアル変換回路29は、有効データD62及びD63に基づいて最終的なシリアルな復調データD64を形成し、これを出力端子30に送出するようになされている。

【0032】實際上このデジタル信号伝送装置40では、復調部50の第1及び第2の掛算回路21及び22に変調部41の搬送波S11の周波数と等しい周波数の復調搬送波信号S52を供給する手段として、DFT演算回路26から出力された実数部データ群D61及び虚数部データ群D61をコスタスループ部53の位相誤差演算回路60に送出するようになされている。位相誤差演算回路60は、変調信号S47と電圧制御発振回路54から出力される復調搬送波信号S52との位相誤差を検出し、検出結果を誤差信号S70としてデジタルアナログ変換回路61、増幅回路62を通して電圧制御発振回路54に送出する。

【0033】電圧制御発振回路54は当該誤差信号S70に基づいて変調信号S47と復調搬送波信号S52との位相が一致するように（すなわち変調信号S47及び復調搬送波信号S52が同期するように）復調搬送波信号S52の位相を調整し、かくして変調部41の搬送波S11の周波数と等しい周波数の復調搬送波信号S52を第1及び第2の掛算回路21及び22に送出し得るようになされている。またこのデジタル信号伝送装置40では、アナログデジタル変換回路25、バッファメモリ回路55及びDFT演算回路26が動作するタイミングを制御する手段として、可変利得増幅回路52において増幅した変調信号S47を増幅変調信号S80として2乗検波回路構成の無信号区間検出回路部70に送出す

るようになされている。

【0034】無信号区間検出回路部70は、当該増幅変調信号S80に基づいて当該増幅変調信号S80が所定の演算式で与えられる所定の信号レベルとなるような制御信号S81を可変利得増幅回路52に順次送出することにより当該可変利得増幅回路52の利得を調整すると共に、当該増幅変調信号S80を2乗検波することによりデータが含まれている有効区間(DFT区間)と無信号区間とを示す包絡波形を得、これを包絡波形信号S82として位相同期ループ(PLL: Phase-Locked Loop)回路71に送出する。位相同期ループ71は、包絡波形信号S82に基づいてタイミング信号S83を生成し、これをアナログデジタル変換回路25、バッファメモリ回路55及びDFT演算回路26にそれぞれ送出する。

【0035】これにより当該デジタル信号伝送装置40では、アナログデジタル変換回路25が当該タイミング信号S83に基づいてI軸ベースバンド信号S54及びQ軸ベースバンド信号S55をそれぞれアナログデジタル変換し、バッファメモリ回路55が当該タイミング信号S83に基づいてアナログI軸ベースバンド信号S56及びアナログQ軸ベースバンド信号S57の有効区間だけをDFT演算回路26に送出すると共に、当該DFT演算回路26が当該タイミング信号S83に基づいてDFT演算を実行するようになされている。

【0036】この実施例の場合、無信号区間検出回路部70及び位相同期ループ回路71においては図4に示すような回路構成を有し、可変利得増幅回路52(図3)から出力された増幅変調信号S80が無信号区間検出回路部70の信号入力端80を介して掛算回路81の第1及び第2の信号入力端に供給される。掛算回路81は増幅変調信号S80同士を乗算し、演算結果として得られた当該増幅変調信号S80の2乗波形を増幅変調2乗波形信号S90として積分回路82に送出する。

【0037】積分回路82においては、増幅変調2乗波形信号S90を積分することによって増幅変調信号S80の有効区間及び無信号区間を示す当該増幅変調2乗波形信号S90の包絡線波形を得、これを制御信号S81として増幅回路を介して可変利得増幅回路52(図3)に送出すると共に包絡波形信号S82として位相同期ループ回路71の位相比較回路90に送出する。この場合当該位相同期ループ71では、電圧制御発振回路91から出力される再生クロック信号S100に基づいて分周回路92がタイミング信号S83を生成してこれをアナログデジタル変換回路25、バッファメモリ回路55及びDFT演算回路26(図3)にそれぞれ出力すると共に、変調信号S47の各フレームの区切りに対応させて発生させたクロックパルスでなる再生フレーム区間信号S101を生成してこれを位相比較回路90に送出するようになされている。

【0038】かくして位相比較回路90は、再生フレ

ム区間信号S101と包絡波形信号S82との位相を比較することによって当該包絡波形信号S82及び再生フレーム区間信号S101間の位相誤差を得、当該位相誤差をなくするような(すなわち包絡波形信号S82及び再生フレーム区間信号S101が同期するような)位相誤差信号S102を生成してこれを積分回路93及び増幅回路94を介して電圧制御発振回路91に送出する。

【0039】電圧制御発振回路91は、当該位相誤差信号S102に基づいて再生クロック信号S90の周波数を調整し、これによりタイミング信号S83を包絡波形信号S82に同期させる。従つてこのデジタル信号伝送装置40では、当該タイミング信号S83が包絡波形信号S82と同期することにより当該タイミング信号S83は増幅変調信号S80やバッファメモリ回路55(図3)に供給されるアナログI軸ベースバンド信号S56及びアナログQ軸ベースバンド信号S57並びにDFT演算回路26(図3)に供給されるI軸ベースバンド有効区間信号S58及びQ軸ベースバンド有効区間信号S59とも同期し、これにより位相同期ループ回路71がバッファメモリ回路55及びDFT演算回路26が正確に動作するようなタイミング信号S83を出力し得るようになされている。

【0040】以上の構成において、当該デジタル信号伝送装置40の復調部50(図3)では2乗検波回路構成の無信号区間検出回路部70において変調部41から供給される変調信号S47を2乗した後積分することにより、当該変調信号S47の有効信号区間と無信号区間を示す包絡線を得られ、この結果当該包絡線から容易に離散的フーリエ変換演算を施すための有効区間(DFT区間)を見つけ出すことができる。またこのとき当該デジタル信号伝送装置40では、復調部50の再生クロックを当該包絡線に基づいて形成された制御信号S81と同期させることによりバッファメモリ回路55及びDFT演算回路26を正確に動作させることができる。

【0041】以上の構成によれば、直交周波数分割多重変調方式のデジタル信号伝送装置において、変調部41ではIDFT演算回路7から出力される実時間領域データ及び虚時間領域データのそれぞれN個ごとにL個の無信号データをそれぞれ付加することによって変調信号S47に無信号区間を形成すると共に、復調部50では当該変調信号S47を2乗検波することによって当該変調信号S47の有効区間を検出し、当該検出結果に基づいて変調信号S47と同期させたタイミング信号S83を生成して当該タイミング信号S83に基づいてDFT演算回路26を動作させるようにしたことにより、復調部50では図5に示す従来の復調部20に無信号区間検出回路部70及び位相同期ループ回路71を付加しただけの簡易な回路構成で変調信号S47の有効区間(DFT区間)を確実に見つけ出すことができると共にDFT演算回路26を正確に動作させることができ、かくして復調側の回

12

式に基づく演算を順次施すようにしたことにより、当該時間領域の各データ系列に対して正確なタイミングで当該演算を施すことができ、かくして簡易な回路構成で正確に伝送信号を復調する復調側を形成することができる。従つて復調側の回路構成を格段的に簡易化し得るデジタル信号伝送装置を実現できる。

【図面の簡単な説明】

【図2】実施例によるデジタル信号伝送装置の復調部を示すブロック図である。

【図3】パツフアメモリ回路及びデジタルアナログ変換回路から出力される出力信号の説明に供する波形図である。

【図 4】無信号区間検出回路部及び位相同期ループ回路の詳細を示すブロック図である。

【図5】従来のデジタル信号伝送回路を示すブロック図である。

【符号の説明】

1、40……デジタル信号伝送装置、2、41……変調部、7……IDFT演算回路、14……伝送路、20、50……復調部、26……DFT 演算回路、42、55……バッファメモリ回路、70……無信号区間検出回路、71……位相同期ループ回路、D1……入力データ、D5……実数部データ群、D6……虚数部データ群、D7……実数部時間系列データ群、D8……虚数部時間系列データ群、D40……無信号データ、S47……変調信号、D56……I軸時間領域データ群、D57……Q軸時間領域データ群、D60……実数部データ群、D61……虚数部データ群、S82……包絡波形信号、S83……タイミング信号。

-89-

【図2】

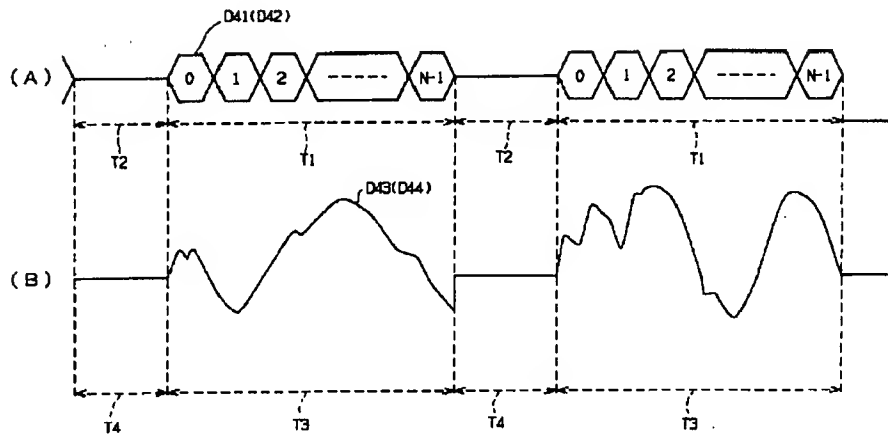


図2 各信号の様子

【図3】

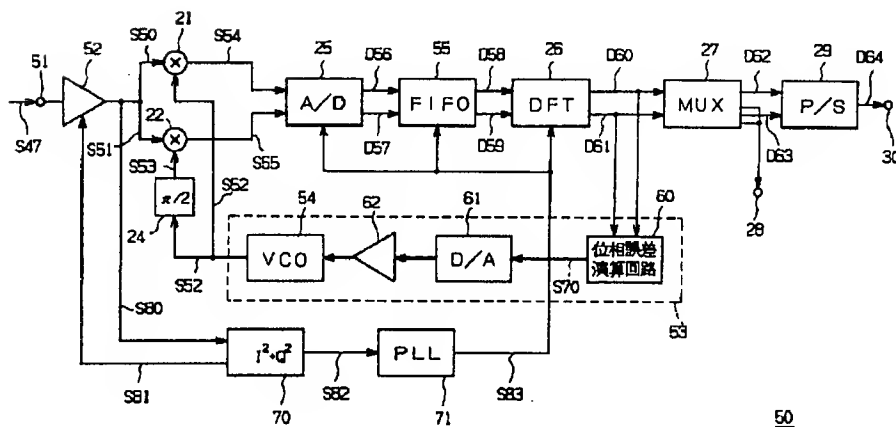


図3 実施例によるデジタル信号伝送装置の復調部の構成

【図 4】

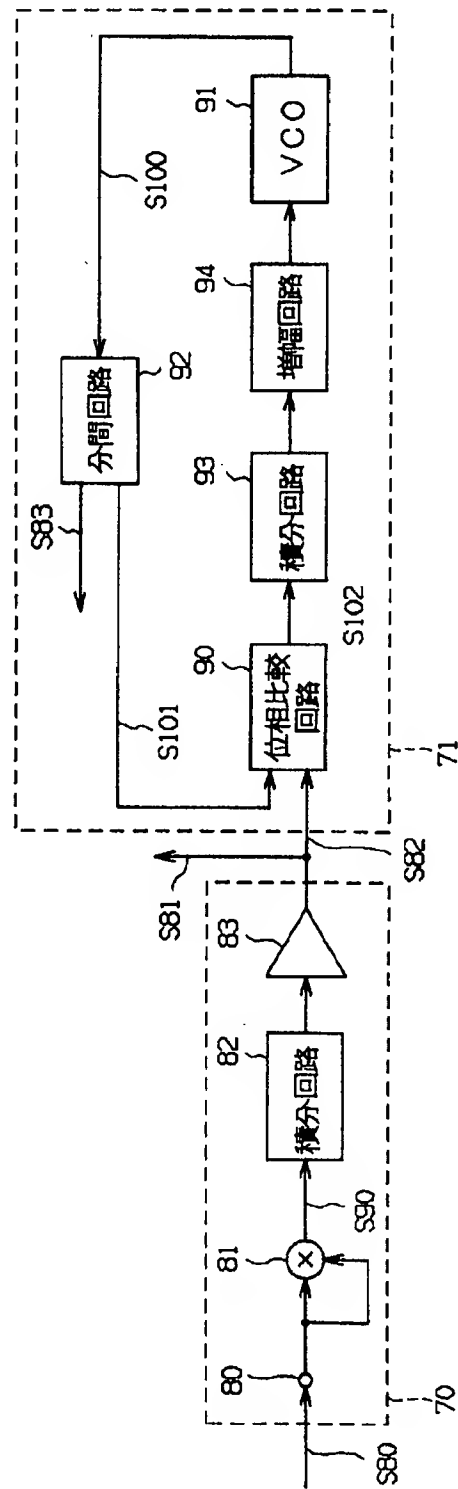


図 4 無信号区間検出回路部及び位相同期ループ回路の詳細な回路構成

【図 5】

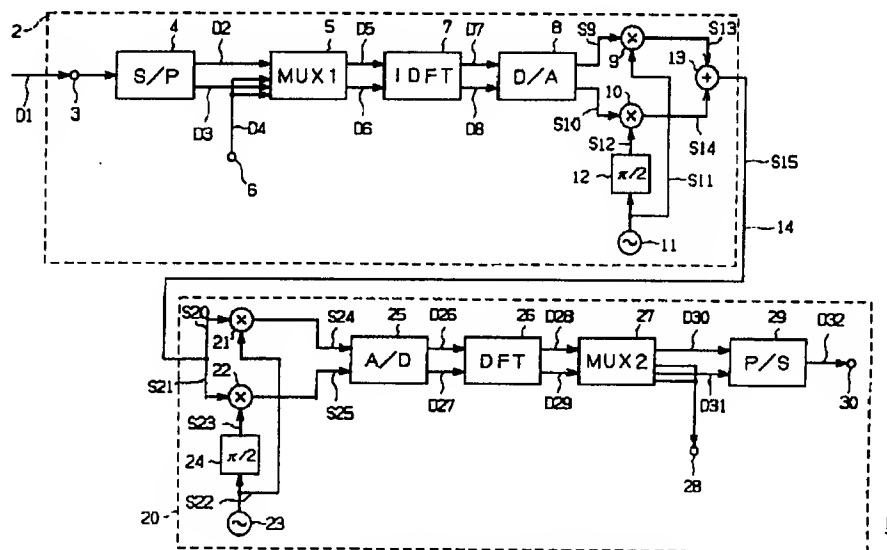


図5 従来のデジタル信号伝送装置

